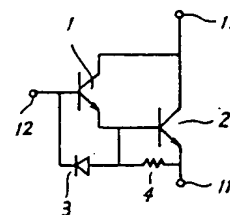


(54) DARLINGTON TRANSISTOR

(11) 3-148831 (A) (43) 25.6.1991 (19) JP
 (21) Appl. No. 64-288104 (22) 6.11.1989
 (71) FUJI ELECTRIC CO LTD (72) TATSU SAITO
 (51) Int. Cl.⁵ H01L21/331, H01L29/73

PURPOSE: To shorten a turn-ON time and to reduce a turn-ON loss by a method wherein a diode, whose time of reverse recovery is short, is used for a speed-up diode connected between the base and the emitter of the first-stage transistor.

CONSTITUTION: A transistor Tr with a reversed speed-up diode SUD 3 connected between a base and an emitter of a preceding-stage transistor Tr1 is brought into a reverse-biased state at the time of turn-OFF. A forward current flows between terminals 11 and 12 through a resistor 4 and the SUD 3. At this time, if a base current is turned-ON, the SUD 3 is brought into a state of reverse recovery, the base current does not flow through the Tr1 until carriers in the SUD 3 disappear and a collector current from a terminal 13 of a Tr2 to the terminal 11 of the Tr2 also does not flow. Accordingly, by using a diode, whose time of reverse recovery is controlled short, for the SUD 3, a turn-ON time is shortened and a turn-ON loss is reduced.



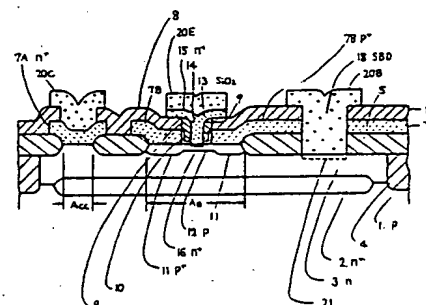
2: following-stage diode

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(11) 3-148832 (A) (43) 25.6.1991 (19) JP
 (21) Appl. No. 64-288111 (22) 6.11.1989
 (71) FUJITSU LTD (72) TAKAO SETOYAMA
 (51) Int. Cl.⁵ H01L21/331, H01L29/73

PURPOSE: To eliminate the need to provide additionally an SBD formation region, to reduce the area of an element and to improve the integration degree of the element by a method wherein a Schottky barrier diode SBD is formed directly under the contact part of a base leadout electrode with a base wiring.

CONSTITUTION: A P⁺ polysilicon base lead-out electrode 7B and an opening 18 for SBD formation use, which is through a lower field oxide film 5, are formed directly under a wiring contact window, through which the electrode 7B and a base wiring 20B are connected to each other. The wiring 20B is formed in such a way that the opening 18 is filled with the wiring 20B, has continuity with the electrode 7B on the side surface of the opening and comes into contact with an n-type collector region 3 at the base of the opening. By forming a Schottky barrier diode SBD 21 at the contact part of the wiring 20B with the region 3, the base and the collector of a bipolar transistor come to be clamped with the SBD. Accordingly, there is no need to provide additionally an SBD formation region, the area of an element is reduced and the integration degree of the element is improved.



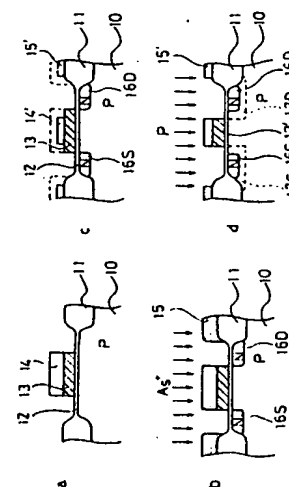
1: P-type Si substrate, 4: isolation region between elements, 2: N⁺ buried layer, 8: SiO₂ film for covering electrode, 20E: emitter wiring, 15: N⁺ polysilicon emitter electrode, 14: opening for forming emitter, 13: SiO₂ sidewall, 12: P-type internal base region, 16: N⁺ emitter region, 11: P⁺ external base region, 10: thermal oxide film, 9: opening for internal base formation, 1A: N⁺ polysilicon collector electrode, 20C: collector wiring

(54) MANUFACTURE OF MOS TRANSISTOR

(11) 3-148834 (A) (43) 25.6.1991 (19) JP
 (21) Appl. No. 64-288250 (22) 6.11.1989
 (71) SANYO ELECTRIC CO LTD (72) TETSUHIRO INOUE
 (51) Int. Cl.⁵ H01L21/336, H01L29/784

PURPOSE: To prevent breakdown strength between elements from reducing and to improve the reliability of a MOS transistor by a method wherein high-concentration diffused regions are formed using a gate electrode lengthened by a prescribed amount as a mask and low-concentration diffused regions are formed using the electrode, whose end parts are etched, as a mask.

CONSTITUTION: A gate electrode 13 is formed longer by a prescribed length on a channel isolation region 11 on an Si substrate 10 through a gate oxide film 12. Then, resist films 14 and 15 are respectively formed on the electrode 13 and the region 11 and high-concentration diffused regions 16S and 16D are formed using these films 14 and 15 as masks. Then, when the films 14 and 15 are isotropically removed by a plasma treatment, the length of the film 14 becomes the final length of the electrode 13. Accordingly, after the electrode 13 is etched using the film 13 as a mask to remove both ends of the electrode 13, low-concentration diffused regions 17S and 17D are formed using the films 14 and 15 as masks. Thereby, it is prevented that the insulating film is excessively etched and breakdown strength between elements is reduced and the reliability of a MOS transistor is improved.



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-148834

(43)Date of publication of application : 25.06.1991

(51)Int.Cl.

H01L 21/336
H01L 29/784

(21)Application number : 01-288250

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 06.11.1989

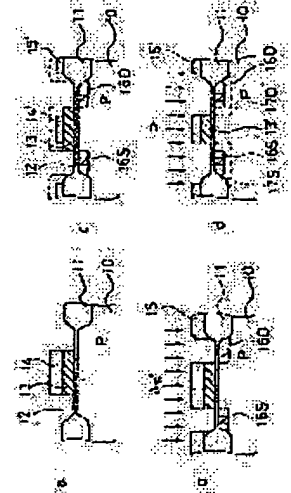
(72)Inventor : INOUE TETSUHIRO

(54) MANUFACTURE OF MOS TRANSISTOR

(57)Abstract:

PURPOSE: To prevent breakdown strength between elements from reducing and to improve the reliability of a MOS transistor by a method wherein high-concentration diffused regions are formed using a gate electrode lengthened by a prescribed amount as a mask and low-concentration diffused regions are formed using the electrode, whose end parts are etched, as a mask.

CONSTITUTION: A gate electrode 13 is formed longer by a prescribed length on a channel isolation region 11 on an Si substrate 10 through a gate oxide film 12. Then, resist films 14 and 15 are respectively formed on the electrode 13 and the region 11 and high-concentration diffused regions 16S and 16D are formed using these films 14 and 15 as masks. Then, when the films 14 and 15 are isotropically removed by a plasma treatment, the length of the film 14 becomes the final length of the electrode 13. Accordingly, after the electrode 13 is etched using the film 13 as a mask to remove both ends of the electrode 13, low-concentration diffused regions 17S and 17D are formed using the films 14 and 15 as masks. Thereby, it is prevented that the insulating film is excessively etched and breakdown strength between elements is reduced and the reliability of a MOS transistor is improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A) 平3-148834

⑬ Int.Cl.⁵
H 01 L 21/336
29/784

識別記号 庁内整理番号

⑭ 公開 平成3年(1991)6月25日

8422-5F H 01 L 29/78 3 0 1 L
審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 MOSトランジスタの製造方法

⑯ 特 願 平1-288250

⑰ 出 願 平1(1989)11月6日

⑱ 発 明 者 井 上 哲 宏 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内
⑲ 出 願 人 三洋電機株式会社 大阪府守口市京阪本通2丁目18番地
⑳ 代 理 人 弁理士 西野 卓嗣 外2名

明 細 書

1. 発明の名称

MOSトランジスタの製造方法

2. 特許請求の範囲

(1) 一導電型の半導体基板上に絶縁膜を介して電極材料膜を形成する工程、

この電極材料膜上にレジストを塗布して電極パターンを形成し、そのレジストパターンに沿って上記電極材料膜をエッチングしてゲート電極を形成する工程、

上記レジストパターンをマスクとして逆導電型の不純物を上記半導体基板中に注入してソース及びドレイン領域となる第1の拡散領域を形成する工程、

酸素を含むプラズマ雰囲気中で上記レジストパターンの一部を除去する工程、

一部が除去された上記レジストパターンに沿って上記ゲート電極の端部をエッチングする工程、

端部がエッチング除去された上記ゲート電極をマスクとして逆導電型の不純物を上記第1の拡散領

域よりも低い濃度で注入して第2の拡散領域を形成する工程、

を含むことを特徴とするMOSトランジスタの製造方法。

3. 発明の詳細な説明

(イ) 産業上の利用分野

本発明は、LDD(Lightly Doped Drain)構造のMOSトランジスタの製造方法に関する。

(ロ) 従来の技術

LDD構造は、パターンの微細化に依るチャンネル長の縮小に伴って発生する、ホットキャリアに起因する閾値電圧の変動や相互コンダクタンスの劣化を防止しようとするもので、高集積化の要求されるLSIに広く用いられる。LDD構造のMOSトランジスタは、ホットキャリアの発生が抑圧されると共に、電界が最大となる位置がゲート領域の外側となるため、発生したホットキャリアがゲート領域へ注入されることがなくなる。このため、一般のMOSトランジスタに比して短いチャンネル長でMOSトランジスタを動作させる

ことができ、さらにはより高い電圧で駆動させることも可能となる。

第2図は、LDD構造のMOSトランジスタの断面図であり、Nチャンネル型を示している。

P型のシリコン(Si)基板(1)の一面には、LOCOS等のチャンネル分離領域(2)で区画された領域内に多結晶シリコン(Poly-Si)からなるゲート電極(3)がゲート酸化膜(4)を介して形成され、このゲート電極(3)の両側にソース及びドレインとなるN⁻型の拡散領域(5S)(5D)が形成される。また、ゲート電極(3)の両側には、拡散領域(5S)(5D)の一部を覆って二酸化シリコン(SiO₂)からなるサイドウォール(6)が形成される。そして、サイドウォール(6)に覆われていない拡散領域(5S)(5D)中には、不純物濃度のさらに高いN⁺型の拡散領域(7S)(7D)が形成される。

このようなMOSトランジスタに於いては、ゲート電極(3)に所定の電位が与えられたときに形成されるチャンネルと拡散領域(7S)(7D)との間にN⁻型の領域が介在するために、ドレインピン

チオフ領域の電界をゲート電極(3)領域からN⁻型の拡散領域(5S)(5D)にまで広げることができる。従って、最大電界を低下することができ、ホットキャリアの発生が抑圧されることになる。

次に製造方法について説明する。

先ずSi基板(1)上のチャンネル分離領域(2)に依り区画された領域に、ゲート酸化膜(4)を介してゲート電極(3)を形成した後にN型不純物、例えばリン(P⁺)を低濃度に注入してN⁻型の拡散領域(5S)(5D)を形成する。次にゲート電極(3)の両側にN⁺型の拡散領域(7S)(7D)を形成する際のマスクとなるサイドウォール(6)を形成する。このサイドウォール(6)は、一旦ゲート電極(3)を覆ってSiO₂膜を形成した後にそのSiO₂膜を反応性イオンエッチング(RIE)等の異方性エッチングに依ってエッチングすることでゲート電極(3)の両側にSiO₂が残留して形成される。そして、サイドウォール(6)をマスクとして再びN型不純物を高濃度に注入してN⁺型の拡散領域(7S)(7D)を形成する。

(h) 発明が解決しようとする課題

しかしながら、上述の如き製造方法に於いては、サイドウォール(6)を形成する際のRIEのエッチング速度が速いことから、正確にエッチングの終了を検知してエッチングを停止させることが困難であり、過剰なエッチングが行われてしまう虞れがある。従って、チャンネル分離領域(2)等の絶縁膜がエッチングされて素子間の耐圧の低下を招き、信頼性が低下するといった問題が生じる。

一方、第3図に示す如く、サイドウォール(6)にPoly-Siを用いることが考えられる。このようなPoly-Siからなるサイドウォール(6')に於いては、絶縁膜の過剰なエッチングに依る耐圧の低下といった問題は解消するものの、ゲート電極(3)の表面を熱酸化してSiO₂膜(8)を形成する等の工程が増し、製造工程が煩雑になることから、量産性に欠けるといった問題が生じる。

そこで本発明は、工程数の増加を伴うことなく、耐圧の低下防止を図ることのできるLDD構

造のMOSトランジスタの製造方法を提供することを目的とする。

(二) 課題を解決するための手段

本発明は上述の課題を解決するためになされたもので、一導電型の半導体基板上に絶縁膜を介して電極材料膜を形成する工程、この電極材料膜上にレジストを塗布して電極パターンを形成し、そのレジストパターンに沿って上記電極材料膜をエッチングしてゲート電極を形成する工程、上記レジストパターンをマスクとして逆導電型の不純物を上記半導体基板中に注入してソース及びドレイン領域となる第1の拡散領域を形成する工程、酸素を含むプラズマ雰囲気中で上記レジストパターンの一部を除去する工程、一部が除去された上記レジストパターンに沿って上記ゲート電極の端部をエッチングする工程、端部がエッチング除去された上記ゲート電極をマスクとして逆導電型の不純物を上記第1の拡散領域よりも低い濃度で注入して第2の拡散領域を形成する工程、を含むことを特徴としている。

(*) 作用

本発明に依れば、本来より所定の長さだけ長く形成されたゲート電極をマスクとして不純物を高濃度に拡散することでソース及びドレイン領域となる第1の拡散領域が形成され、ゲート電極の端部をエッチングして本来の長さとした後にそのゲート電極をマスクとして再び不純物を低濃度に拡散することで第1の拡散領域より広い領域に第2の拡散領域が形成される。従って、ゲート電極とソース及びドレイン領域との間にソース及びドレイン領域より低濃度の拡散領域が介在するLDD構造のMOSトランジスタが得られる。

(ハ) 実施例

本発明の一実施例を図面に従って説明する。

第1図a乃至dは本発明のMOSトランジスタの製造方法を示す工程順断面図である。

先ず、P型のSi基板(10)上にチャンネル分離領域(11)を形成し、このチャンネル分離領域(11)に依って区画された領域にゲート酸化膜(12)を介してゲート電極(13)を形成する(第1図a)。こ

ゲート電極(13)が必要以上の大きさに形成されている分だけレジスト膜(14)が除去される。即ち、プラズマ処理の後に残るレジスト膜(14)の大きさが最終的なゲート電極(13')の大きさとなるようにレジスト膜(14)の一部が除去される。そして、所定の大きさとなったレジスト膜(14')をマスクとしてゲート電極(13)をエッチングし、ゲート電極(13)の両端を除去した後、レジスト膜(14')(15')をマスクとしてN型不純物、例えばP⁺を先の拡散領域(16S)(16D)の形成の際より低い濃度で注入し、N⁻型の拡散領域(17S)(17D)を形成する。

以上の製造工程に依ると、ソース及びドレインとなるN⁺型の拡散領域(16S)(16D)とゲート電極(13')との間にN⁻型の拡散領域(17S)(17D)が介在することになり、LDD構造のMOSトランジスタが得られる。

(ト) 発明の効果

本発明に依れば、ゲート電極の両側にサイドウォールを形成する必要がないことから、エッチング終了の正確な検知が困難な異方性エッチング

のゲート電極(13)の形成は、従来と同様に、Si基板(10)上にPoly-Si膜を形成した後、所定のパターンのレジスト膜(14)を形成し、このレジスト膜(14)をマスクにしてPoly-Si膜をエッチング除去して得られる。このとき、ゲート電極(13)の長さは、最終的な長さより所定の量だけ、即ち第2図に示すサイドウォール(6)に相当する分だけ長く形成される。

次に、ゲート電極(13)上のレジスト膜(14)を除去することなく、さらにソース及びドレインとなる以外の領域、例えばチャンネル分離領域(11)やPチャンネル型MOSトランジスタの領域等を覆うレジスト膜(15)を形成し、これらレジスト膜(14)(15)をマスクにしてN型不純物例えば砒素(A⁺)を高濃度に注入してN⁺型の拡散領域(16S)(16D)を形成する(第1図b)。この拡散領域(16S)(16D)が夫々ソース及びドレイン領域となる。

続いて、酸素を含むプラズマ処理に依ってレジスト膜(14)(15)を所定の量だけ等方的に除去する(第1図c)。このプラズマ処理に於いては、

が必要なくなり、絶縁膜が過剰にエッチングされることが防止できるため、素子間の耐圧を保持でき、信頼性の向上が図れる。

また、工程数を削減できることから、製造歩留りの向上やコストの低下が望める。

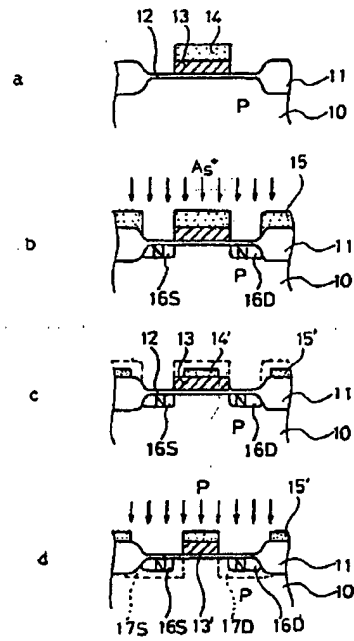
4. 図面の簡単な説明

第1図は本発明のMOSトランジスタの製造方法を示す工程順断面図、第2図及び第3図は従来のLDD構造のMOSトランジスタを示す断面図である。

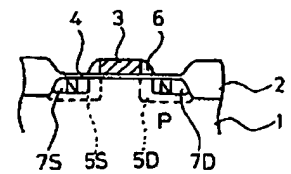
出願人 三洋電機株式会社

代理人 弁理士 西野卓嗣 外2名

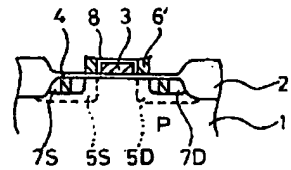
第 1 図



第 2 図



第 3 図



- | | |
|--------------------------|---------------------------|
| 1: Si基板 | 10: Si基板 |
| 2: チャンネル分離領域 | 11: チャンネル分離領域 |
| 3: ゲート電極 | 12: ゲート酸化膜 |
| 4: ゲート酸化膜 | 13: ゲート電極 |
| 5S: N ⁻ 型拡散領域 | 14: レジスト膜 |
| 6: サイドウォール | 15: N ⁺ 型拡散領域 |
| 7S: N ⁺ 型拡散領域 | 16S: N ⁺ 型拡散領域 |
| | 16D: N ⁻ 型拡散領域 |
| | 17S: N ⁻ 型拡散領域 |
| | 17D: N ⁻ 型拡散領域 |